

JP04331981 A

LIQUID CRYSTAL DISPLAY DEVICE

CASIO COMPUT CO LTD

Inventor(s):SHINDO TEIJI

Application No. 03101472 JP03101472 JP, Filed 19910507,A1 Published 19921119

Abstract: PURPOSE: To make a liquid crystal display based upon image data for a CRT display without requiring any mass-storage image data memory.

CONSTITUTION: The image data for the CRT display are inputted in sequence through a serial/parallel conversion part 11 and while only effective image data except vertical blanking periods and horizontal blanking periods are written in a dual-port memory 12 corresponding to the write timing signal WCL from a timing signal generation part 13, the effective image data written in the dual- port memory 12 are read out corresponding to a read timing signal RCL corresponding to the LCD display timing from a timing signal generation part 12, and transferred to and displayed on a liquid crystal display device 16.

COPYRIGHT: (C)1992,JPO&Japio

Int'l Class: G09G00336; G02F001133 G06F003153 G09G00116 G09G00500

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-331981

(43)公開日 平成4年(1992)11月19日

(51)Int.Cl.⁵
G 0 9 G 3/36
G 0 2 F 1/133 5 0 5 7820-2K
G 0 6 F 3/153 3 3 6 B 9188-5B
G 0 9 G 1/16 A 8121-5G
5/00 M 8121-5G

F I

技術表示箇所

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平3-101472

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(22)出願日 平成3年(1991)5月7日

(72)発明者 進藤 穎司

東京都西多摩郡羽村町栄町3丁目2番1号

カシオ計算機株式会社羽村技術センター

内

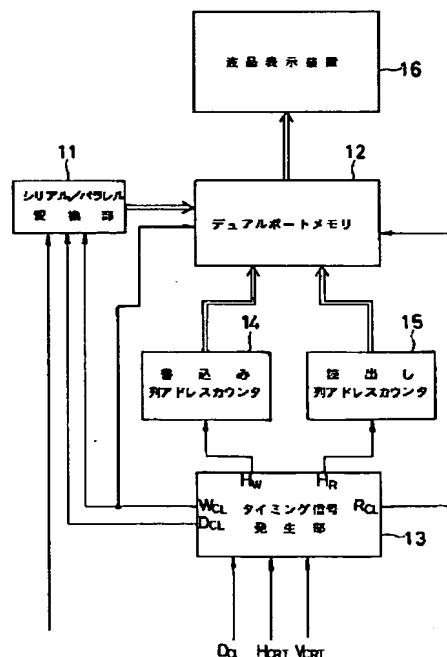
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】本発明は、液晶表示装置において、大容量の画像データメモリを必要とすることなく、CRT表示用の画像データに基づく液晶表示を行なうことを目的とする。

【構成】シリアル/パラレル変換部11を通して順次入力されるCRT表示用の画像データを、タイミング信号発生部13からの書き込みタイミング信号WCLに応じて、その垂直帰線期間及び水平帰線期間を除く有効画像データのみデュアルポートメモリ12に対して書込むと共に、タイミング信号発生部13からのLCD表示タイミングに対応する読出しタイミング信号RCLに応じて、上記デュアルポートメモリ12に書込まれた有効画像データを読み出し、液晶表示装置16に対して転送表示させるよう構成する。



【特許請求の範囲】

【請求項1】 液晶表示装置において、データの書込み動作と読出し動作とを同時に行ない得る記憶手段と、CRT表示用の画像データが入力される入力手段と、上記CRT表示用画像データの垂直同期信号及び水平同期信号に基づいて該CRT表示用画像データの少なくとも垂直帰線期間を除く有効データのみを上記記憶手段に記憶させる有効画像データ取出し手段と、この有効画像データ取出し手段により上記記憶手段に記憶された有効画像データを上記液晶表示装置の表示タイミングに応じて読出す表示制御手段とを備えて構成したものである。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パーソナルコンピュータやパーソナルワードプロセッサ等の表示部として使用される液晶表示装置に関する。

【0002】

【従来の技術】 一般に、パーソナルコンピュータ等のデータ処理装置では、機器の小型、軽量化を図るために、その表示部として液晶表示装置(LCD)を備えたものが実用化されている。

【0003】 このような液晶表示装置を備えたデータ処理装置では、CRT表示装置を備えた機器との互換性を確保するために、その表示データの処理は、まず、CRT表示用の画像信号を作成し、このCRT画像信号をLCD表示用の画像信号に変換することにより行なわれる。

【0004】 すなわち、CRT表示用の画像信号とLCD表示用の画像信号とでは、帰線期間の有無等の差異により、データの出力タイミングが異なるため、CRT表示用の画像信号の全てを一旦メモリに書込み、その後、必要な画像部分、つまり、有効表示データのみをLCDの表示タイミングに応じて読出している。

【0005】

【発明が解決しようとする課題】 しかしながら、上記のようにして液晶表示装置を動作させたのでは、CRT表示用画像信号の一回分全てを記憶させる大容量の画像メモリが必要になる。

【0006】 本発明は上記課題に鑑みなされたもので、大容量の画像データメモリを必要とすることなく、CRT表示用の画像データに基づく液晶表示を行なうことが可能になる液晶表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 すなわち、本発明に係わる液晶表示装置は、データの書込み動作と読出し動作とを同時に行ない得る記憶手段と、CRT表示用の画像データが入力される入力手段と、上記CRT表示用画像データの垂直同期信号及び水平同期信号に基づいて該CRT表示用画像データの少なくとも垂直帰線期間を除く有

効データのみを上記記憶手段に記憶させる有効画像データ取出し手段と、この有効画像データ取出し手段により上記記憶手段に記憶された有効画像データを上記液晶表示装置の表示タイミングに応じて読出す表示制御手段とを備えて構成したものである。

【0008】

【作用】 つまり、上記記憶手段に対し、CRT表示用の画像データをその垂直帰線期間を除き順次書込むのと同時に、この記憶手段に書込まれたCRT表示用の画像データを液晶表示タイミングに応じて順次読出して表示させることで、記憶手段の容量は大幅に少くて済むことになる。

【0009】

【実施例】 以下図面により本発明の一実施例について説明する。

【0010】 図1は液晶表示装置における表示制御回路の構成を示すもので、同図において、11はシリアル/パラレル変換部、12はデュアルポートメモリ、13はタイミング信号発生部、14は書込み列アドレスカウンタ、15は読出し列アドレスカウンタ、16は液晶表示装置である。

【0011】 シリアル/パラレル変換部11は、タイミング信号発生部13により発生されるドットタイミング信号DCLに応じて、CRT表示用の画像データを1ドットずつのシリアルデータとして入力し、例えば8ドットずつのパラレルデータに変換して出力するもので、このシリアル/パラレル変換部11からのCRT画像データは、タイミング信号発生部13により発生される書込みタイミング信号WCLに応じて順次デュアルポートメモリ12に書込まれる。

【0012】 この場合、デュアルポートメモリ12に対するCRT水平走査1本分に相当するデータ列の書込み列アドレスは、上記タイミング信号発生部13により発生される水平書込み信号HWに応じてカウント動作する書込み列アドレスカウンタ14により指定される。

【0013】 一方、デュアルポートメモリ12に順次書込まれるCRT画像データは、タイミング信号発生部13により発生される読出しタイミング信号RCLに応じて順次LCD画像データとして読出されるもので、このデュアルポートメモリ13から読出されたLCD画像データは、液晶表示部16に順次送られて表示される。

【0014】 この場合、デュアルポートメモリ12からのLCD水平走査1本分に相当するデータ列の読出しアドレスは、上記タイミング信号発生部13により発生される水平読出し信号HRに応じてカウント動作する読出し列アドレスカウンタ15により指定される。

【0015】 ここで、上記タイミング信号発生部13により発生される書込みタイミング信号WCL、水平書込み信号HW及び読出しタイミング信号RCL、水平読出し信号HRは、何れもCRT表示用の水平同期信号HCRT及

び垂直同期信号VCRTに基づき生成される。

【0016】図2は上記表示制御回路におけるタイミング信号発生部13の内部構成を示すもので、CRT表示用の水平同期信号HCRTは、アンドゲートAND1を通して1+n進カウンタ21にそのカウンタクロックCとして供給されると同時に、アンドゲートAND2を通してm進カウンタ22にそのカウンタクロックCとして供給される。

【0017】ここで、上記アンドゲートAND2を通してm進カウンタ22に供給される水平同期信号HCRTは、前記図1における書込み列アドレスカウンタ14をカウント動作させるための水平書込み信号HWとして該書込み列アドレスカウンタ14に出力される。

【0018】また、CRT表示用の垂直同期信号VCRTは、上記1+n進カウンタ21及びm進カウンタ22にそのリセット信号Rとして供給されると共に、フリップフロップFF1にそのセット信号Sとして供給される。このフリップフロップFF1のQ出力は上記アンドゲートAND1にそのゲート制御信号として供給される。

【0019】ここで、上記1+n進カウンタ21のカウント値は、CRT表示用画像データの垂直帰線期間に相当する水平走査線数に対応して設定されるもので、この1+n進カウンタ21からのカウンタキャリCarryは上記フリップフロップFF1にそのリセット信号Rとして供給されると共に、フリップフロップFF2にそのセット信号Sとして供給される。

【0020】このフリップフロップFF2のQ出力は上記アンドゲートAND2にそのゲート制御信号として供給されると共に、HR信号発生部23及び書込みタイミング信号発生部24、読出しタイミング信号発生部25に対し、そのイネーブル信号ESとして供給される。

【0021】また、上記m進カウンタ22のカウント値は、CRT表示用画像データの垂直帰線期間を除く有効画像データに相当する水平走査線数に対応して設定されるもので、このm進カウンタ22からのカウンタキャリCarryは上記フリップフロップFF2にそのリセット信号Rとして供給される。

【0022】つまり、フリップフロップFF2は、CRT表示用画像データの垂直帰線期間を除く有効画像データが得られる期間に対応してセットされ、上記HR信号発生部23及び書込みタイミング信号発生部24、読出しタイミング信号発生部25にそれぞれイネーブル信号ESを供給するもので、HR信号発生部23により発生される水平読出し信号HRは、前記図1における読出し列アドレスカウンタ15をカウント動作させるための信号として該読出し列アドレスカウンタ15に出力され、書込みタイミング信号発生部24により発生されるドットタイミング信号DCL及び書込みタイミング信号WCLは、前記図1におけるシリアル/パラレル変換部11をシリアル/パラレル変換動作させるための信号及びデュ

アルポートメモリ12を書き込み動作させるための信号として出力され、また、読出しタイミング信号発生部25により発生される読出しタイミング信号RCLは、上記デュアルポートメモリ12を読出し動作させるための信号として出力される。

【0023】図3はCRT表示用の垂直同期信号VCRT及び水平同期信号HCRTに対するタイミング信号発生部13からの水平書込み信号HWと水平読出し信号HRとの関係を示すタイミングチャート。図4は垂直及び水平帰線期間を含む一回分全てのCRT表示用画像データエリアを示す図である。

【0024】ここで、CRT表示用の垂直同期信号周波数をVCRT(Hz)、CRT表示用画像データの総水平走査線数を(1+n+m)本とすると、CRT表示用の水平同期信号周波数HCRT(Hz)は、

$$HCRT(Hz) = VCRT(Hz) \cdot (1+n+m) \quad \cdots \text{式1}$$

となる。ここで、LCD表示用の水平走査線数をm本とすると、LCD表示用の水平同期信号周波数LCD(Hz)は、

$$LCD(Hz) = VCRT(Hz) \cdot m \quad \cdots \text{式2}$$

となる。次に、上記構成による表示制御回路のLCD表示動作について説明する。

【0025】まず、CRT表示用画像データの垂直同期信号VCRTが発生されると、タイミング信号発生部13における1+n進カウンタ21及びm進カウンタ22が何れもリセットされると共に、フリップフロップFF1がセットされアンドゲートAND1がゲートオンに制御される。

【0026】すると、CRT表示用の水平同期信号HCRTにより1+n進カウンタ21がカウント動作するもので、CRT表示用画像データの垂直帰線期間を経過し該カウンタ21からそのカウンタキャリCarryが出力されると、フリップフロップFF1がリセットされて上記アンドゲートAND1がゲートオフに制御されると同時に、フリップフロップFF2がセットされてアンドゲートAND2がゲートオンに制御される。そして、HR信号発生部23及び書込みタイミング信号発生部24、読出しタイミング信号発生部25が何れもイネーブル状態になる。

【0027】すると、書込みタイミング信号発生部25からのドットタイミング信号DCL及び書込みタイミング信号WCLに応じてシリアル/パラレル変換部11を通したCRT表示用有効画像データのデュアルポートメモリ12に対する書き込みが開始される。また、CRT表示用水平同期信号HCRTによりm進カウンタ22がカウント動作されると共に、水平書込み信号HWに応じて書込み列アドレスカウンタ14がカウント動作し上記デュアルポートメモリ12の書き込み列アドレスが更新される。これにより、デュアルポートメモリ12には、CRT表示用有効画像データのみが、順次書き込まれる状態になる。

【0028】一方、読み出しタイミング信号発生部25からは、液晶表示装置16の表示タイミングに対応した読み出しタイミング信号RCLが発生されデュアルポートメモリ12に与えられる。また、HR信号発生部23からは水平読み出し信号HRが発生され読み出し列アドレスカウンタ15に与えられる。

【0029】すると、デュアルポートメモリ12に書込まれる上記CRT表示用の有効画像データは、その水平走査1列分ずつLCD表示タイミングに応じて読み出され液晶表示装置16に送られるもので、これにより、CRT表示用の画像データがLCD表示用の画像データに変換されて液晶表示装置16に表示出力されるようになる。

【0030】この場合、前記式1及び式2からも明らかなように、デュアルポートメモリ12に対し「VCRT(Hz)・(1+n+m)」からなるCRT表示用水平同期信号周波数HCRT(Hz)で書込まれるCRT表示用有効画像データを、「VCRT(Hz)・m」からなるLCD表示用の水平同期信号周波数HLCR(Hz)で読み出すことになるので、該デュアルポートメモリ12の容量値は、(1+n)本の水平走査線数に相当する画像データのみ記憶できればよいことになる。

【0031】なお、デュアルポートメモリ12には、上記CRT表示用画像データの垂直帰線期間を除く有効データのみ書込むと同様の手段により、水平帰線期間に相当する無効画像データも除くように構成する。

【0032】したがって、上記構成の液晶表示装置における表示制御回路によれば、シリアル/パラレル変換部11を通して順次入力されるCRT表示用の画像データを、タイミング信号発生部13からの書き込みタイミング信号WCLに応じて、その垂直帰線期間及び水平帰線期間を除く有効画像データのみデュアルポートメモリ12に対して書込むと共に、タイミング信号発生部13からのLCD表示タイミングに対応する読み出しタイミング信号RCLに応じて、上記デュアルポートメモリ12に書込まれた有効画像データを読み出し、液晶表示装置16に対して転送表示させるよう構成したので、従来のように大

容量の画像データメモリを必要とすることなく、CRT表示用の画像データに基づく液晶表示を行なうことが可能になる。

【0033】

【発明の効果】以上のように本発明によれば、データの書き込み動作と読み出し動作とを同時に行ない得る記憶手段と、CRT表示用の画像データが入力される入力手段と、上記CRT表示用画像データの垂直同期信号及び水平同期信号に基づいて該CRT表示用画像データの少なくとも垂直帰線期間を除く有効データのみを上記記憶手段に記憶させる有効画像データ取出し手段と、この有効画像データ取出し手段により上記記憶手段に記憶された有効画像データを上記液晶表示装置の表示タイミングに応じて読み出す表示制御手段とを備えて構成したので、大容量の画像データメモリを必要とすることなく、CRT表示用の画像データに基づく液晶表示を行なうことが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る液晶表示装置における表示制御回路の構成を示すブロック図。

【図2】上記表示制御回路におけるタイミング信号発生部の内部構成を示すブロック図。

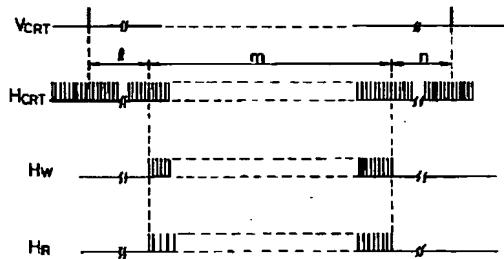
【図3】CRT表示用の垂直同期信号VCRT及び水平同期信号HCRTに対するタイミング信号発生部からの水平書き込み信号HWと水平読み出し信号HRとの関係を示すタイミングチャート。

【図4】垂直及び水平帰線期間を含む一回分全てのCRT表示用画像データエリアを示す図。

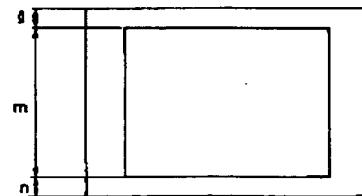
【符号の説明】

11…シリアル/パラレル変換部、12…デュアルポートメモリ、13…タイミング信号発生部、14…書き込み列アドレスカウンタ、15…読み出し列アドレスカウンタ、16…液晶表示装置、21…1+n進カウンタ、22…m進カウンタ、23…HR信号発生部、24…書き込みタイミング信号発生部、25…読み出しタイミング信号発生部、AND1, AND2…アンドゲート、FF1, FF2…フリップフロップ。

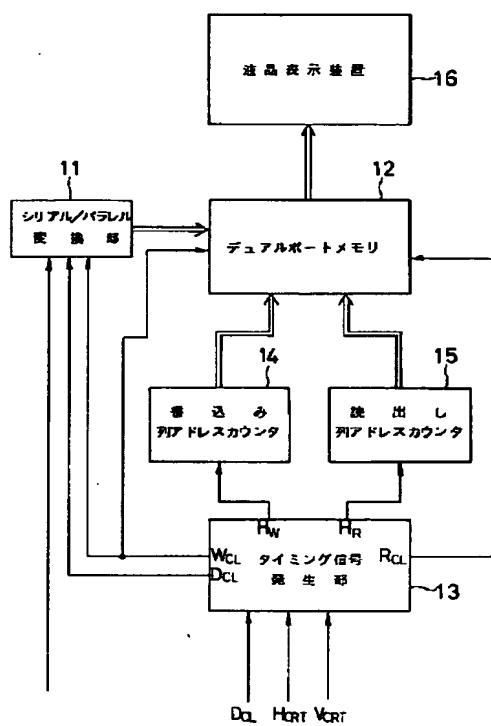
【図3】



【図4】



【図1】



【図2】

